

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-087963

(43)Date of publication of application : 18.03.2004

(51)Int.Cl.

H01L 27/146  
H04N 5/335

(21)Application number : 2002-249270

(71)Applicant : INNOTECH CORP

(22)Date of filing : 28.08.2002

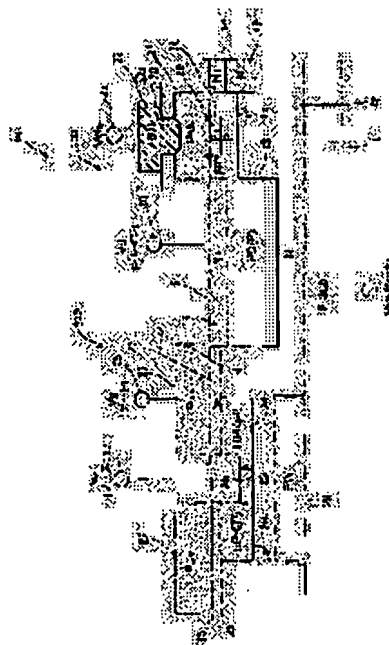
(72)Inventor : KOMORI HIROBUMI

(54) SOLID IMAGING ELEMENT, SOLID IMAGING DEVICE, AND DRIVE METHOD THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To simultaneously perform accumulation of charge and reading of signal by simultaneously performing accumulation start of the charge due to light irradiation on the whole face of a light receiving face, and simultaneously performing accumulation end on the whole face of the light receiving face concerning an MOS solid imaging element.

**SOLUTION:** A solid imaging device comprises a light receiving part 100 having a charge generation region 13 and formed on a prescribed substrate, a detecting part 200 having a hole pocket 24 accumulating the charge by receiving transfer of the charge generated on a charge accumulation region and generating the signal in response to an accumulated charge amount, a transfer control means for controlling the transfer to the hole pocket of the charge generated on the charge generation region 13 by removably forming a potential barrier between the charge generation region 13 and the hole pocket 24, and a first exhaust control means for controlling the exhaust of the charge accumulated on the charge accumulation region by removably forming the potential barrier on the exhaust route of the charge accumulated on the charge accumulation region.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-87963

(P2004-87963A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl.<sup>7</sup>

F1

テーマコード(参考)

H01L 27/148

H01L 27/14

A

4M118

H04N 5/335

H04N 5/335

E

5C024

H04N 5/335

U

審査請求 未請求 請求項の数 12 O L (全 17 頁)

(21) 出願番号

特願2002-249270 (P2002-249270)

(22) 出願日

平成14年8月28日(2002.8.28)

(71) 出願人

593102345

イノテック株式会社

神奈川県横浜市港北区新横浜3-17-6

(74) 代理人

100094330

弁理士 山田 正紀

(74) 代理人

100079175

弁理士 小杉 佳男

(72) 発明者

小森 寛文

神奈川県横浜市港北区新横浜3丁目17番

6号 イノテック株式会社内

Fターム(参考) 4M118 AA10 AB01 BA14 CA04 DD12

FA06 FA14 FA33 GA10

5C024 CX41 CX54 GY31 GZ02

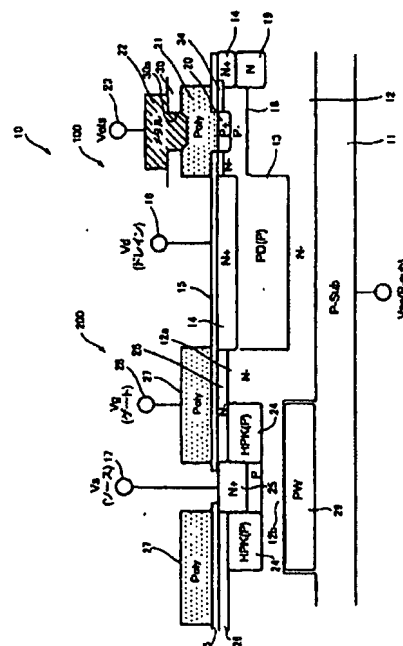
(54) 【発明の名称】 固体撮像素子、固体撮像装置、および固体撮像素子の駆動方法

(57) 【要約】

【課題】 MOS型の固体撮像素子に関し、受光面全面について光照射による電荷の蓄積開始を同時に行なうとともに蓄積終了についても受光面全面について同時に行ない、さらに、電荷の蓄積と信号の脱出しとを同時に行なう。

【解決手段】 光の照射を受けて電荷を発生する電荷発生領域13を有する、所定の基板上に形成された受光部100と、電荷蓄積領域で発生した電荷の転送を受けて該電荷を蓄積するホールポケット24を有し、蓄積した電荷量に応じた信号を生成する検出部200と、電荷発生領域13とホールポケット24との間に電位障壁を除去自在に形成することにより、電荷発生領域で発生した電荷のホールポケットへの転送を制御する転送制御手段と、電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を除去自在に形成することにより、電荷蓄積領域に蓄積した電荷の排出を制御する第1の排出制御手段とを備えた。

【選択図】 図2



(2)

## 【特許請求の範囲】

## 【請求項1】

光の照射を受けて電荷を発生する電荷発生領域を有する、所定の基板上に形成された受光部と、  
前記電荷発生領域で発生した電荷の転送を受けて該電荷を蓄積する電荷蓄積領域を有し、蓄積した電荷量に応じた信号を生成する検出部と、  
前記電荷発生領域と前記電荷蓄積領域との間に電位障壁を除去自在に形成することにより、該電荷発生領域で発生した電荷の該電荷蓄積領域への転送を制御する転送制御手段と、  
前記電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を除去自在に形成することにより、該電荷蓄積領域に蓄積した電荷の排出を制御する第1の排出制御手段とを備えたことを特徴とする固体撮像素子。

## 【請求項2】

前記第1の排出制御手段は、前記電荷蓄積領域に蓄積した電荷を、前記基板側に排出するものであることを特徴とする請求項1記載の固体撮像素子。

## 【請求項3】

前記電荷発生領域で発生した電荷の排出経路上に電位障壁を除去自在に形成することにより、該電荷発生領域で発生した電荷の排出を制御する第2の排出制御手段を備えたことを特徴とする請求項1記載の固体撮像素子。

## 【請求項4】

前記第2の排出制御手段は、前記電荷発生領域で発生した電荷を、表面側に排出するものであることを特徴とする請求項3記載の固体撮像素子。

## 【請求項5】

前記基板は所定の第1導電型の基板であり、前記電荷発生領域および前記電荷蓄積領域は、いずれも、前記基板上に形成された第2導電型の第1ウェル領域内に形成された第1導電型の領域であって、  
前記受光部は、前記電荷発生領域を有するとともに、該電荷発生領域の表層を覆って広がる第2導電型のカソード領域を有するダイオードからなり、  
前記検出部は、前記電荷蓄積領域を有するとともに、前記第1のウェル領域の一部が該電荷蓄積領域と前記受光部との間に延在してなるトランスファゲート領域と、該電荷蓄積領域内に形成された第2導電型のソース領域と、前記カソード領域と前記ソース領域とを繋ぐように前記トランスファ領域と前記電荷蓄積領域との表層に形成された第1チャンネル領域と、該第1のチャンネル領域の上に絶縁層を挟んで配置されたゲート電極とを備えとともに、前記カソード領域をドレイン領域として前記ダイオードと兼用した電界効果トランジスタからなることを特徴とする請求項1記載の固体撮像素子。

## 【請求項6】

前記第1の電荷排出手段は、前記基板上の、前記第1のウェル領域の一部が延在した領域を挟んで前記電荷蓄積領域に対向する位置に形成された、第1導電型の第2のウェル領域を有するものであることを特徴とする請求項5記載の固体撮像素子。

## 【請求項7】

前記ソース領域は、前記電荷蓄積領域で取り囲まれるように該電荷蓄積領域の中央部に形成されたものであって、  
前記ゲート電極は、前記ソース領域を取り巻くリング状に形成されたものであることを特徴とする請求項5記載の固体撮像素子。

## 【請求項8】

前記第2の電荷排出手段が、前記電荷発生層に繋がるとともに該電荷発生層に繋がる部分以外は周囲および底部が第2導電型の領域で囲まれてなる第1導電型の電荷抜取領域を有し、該電荷発生層で発生した電荷を該電荷抜取領域を経由して表面側に排出するものであることを特徴とする請求項5記載の固体撮像素子。

## 【請求項9】

所定の第1導電型の基板上に形成された第2導電型の第1のウェル領域内に形成された第

## (3)

1 導電型の、光の照射を受けて電荷を発生する電荷発生領域と、該電荷発生領域の表層を覆って広がる第2導電型のカソード領域とを有するダイオードと、

前記第1のウェル領域と同一のウェル領域内に形成された第1導電型の、前記電荷発生領域で発生した電荷の転送を受けて該電荷を蓄積する電荷蓄積領域と、前記第1のウェル領域が該電荷蓄積領域と前記ダイオードとの間に延在してなるトランスファゲート領域と、該電荷蓄積領域内に形成された第2導電型のソース領域と、前記カソード領域と前記ソース領域とを繋ぐように前記トランスファ領域と前記電荷蓄積領域との表層に形成された第1チャンネル領域と、該第1のチャンネル領域の上に絶縁層を挟んで配置されたゲート電極とを備えるとともに、前記カソード領域をドレイン領域として前記ダイオードと兼用した、前記電荷蓄積領域に蓄積した電荷量に応じて変化した閾値電圧に応じた信号を生成する電界効果トランジスタと、

前記電荷発生領域と前記電荷蓄積領域との間に電位障壁を除去自在に形成することにより、該電荷発生領域で発生した電荷の該電荷蓄積領域への転送を制御する転送制御手段と、

前記電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を除去自在に形成することにより、該電荷蓄積領域に蓄積した電荷の排出を制御する第1の排出制御手段と、

前記電荷発生領域で発生した電荷の排出経路上に電位障壁を除去自在に形成することにより、該電荷発生領域で発生した電荷の排出を制御する第2の排出制御手段とを備えた固体撮像素子が二次元的に複数配備された固体撮像装置であって、

前記ゲート電極が所定の第1の方向に延在して該第1の方向に並ぶ複数の固体撮像素子のゲート電極同士を繋ぎ、

前記ソース領域が前記第1の方向とは交わる第2の方向に延びる配線に接続されることにより該第2の方向に並ぶ複数の固体撮像素子のソース領域同士が接続されたものであることを特徴とする固体撮像素子。

## 【請求項10】

前記転送制御手段は、前記電荷発生領域と前記電荷蓄積領域との間に、二次元的に配列された複数の固体撮像素子について電位障壁を同時に取り除くものであり、

前記第1の排出制御手段は、前記電荷蓄積領域に蓄積した電荷の排出経路上に、電位障壁を、前記第1の方向に並ぶ複数の固体撮像素子については同時に、かつ前記第2の方向に並ぶ複数の固体撮像素子については順次取り除くものであり、

前記第2の電荷排出手段は、前記電荷発生領域で発生した電荷の排出経路上の電位障壁を、二次元的に配列された複数の固体撮像素子について同時に形成するものであることを特徴とする請求項9記載の固体撮像素子。

## 【請求項11】

光の照射を受けて電荷を発生する電荷発生領域を有する所定の基板上に形成された受光部と、

前記電荷発生領域で発生した電荷の転送を受けて該電荷を蓄積する電荷蓄積領域を有し、蓄積した電荷量に応じた信号を発生する検出部と、

前記電荷発生領域と前記電荷蓄積領域との間に電位障壁を除去自在に形成することにより、該電荷発生領域で発生した電荷の該電荷蓄積領域への転送を制御する転送制御手段と、

前記電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を除去自在に形成することにより、該電荷蓄積領域に蓄積した電荷の排出を制御する第1の排出制御手段と、

前記電荷発生領域で発生した電荷の排出経路上に電位障壁を除去自在に形成することにより、該電荷発生領域で発生した電荷の排出を制御する第2の排出制御手段とを備えた固体撮像素子の駆動方法であって、

前記第2の排出制御手段に、前記電荷発生領域で発生した電荷の排出経路上に電位障壁を形成させることにより、前記電荷発生領域で発生した電荷の該電荷発生領域への蓄積を開始させる第1ステップと、

前記転送制御手段に、前記電荷発生領域と前記電荷蓄積領域との間に形成されている電位障壁を取り除かせることにより該電荷発生領域で発生した電荷を該電荷蓄積領域に転送させる第2ステップと、

(4)

前記転送制御手段に、前記電荷発生領域と前記電荷蓄積領域との間に電位障壁を形成することにより該電荷発生領域から該電荷蓄積領域への電荷の転送を禁止する第3ステップと、

前記検出部に、前記電荷蓄積領域に蓄積した電荷量に応じて変化した閾値電圧に応じた第1の信号を生成させる第4ステップと、

前記第1の排出制御手段に、前記電荷蓄積領域に蓄積した電荷の排出経路上に形成されている電位障壁を取り除かせることにより該電荷蓄積領域に蓄積した電荷を排出させる第5ステップと、

前記第1の排出制御手段に、前記電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を形成させる第6ステップと、

前記第3ステップの実行と同時あるいは該第3ステップを実行した後の任意のタイミングで、前記第2の排出制御手段に、前記電荷発生領域で発生した電荷の排出経路上の電位障壁を取り除かせる第7のステップとを有することを特徴とする固体撮像素子の駆動方法。

【請求項12】

前記第6ステップを実行した後、前記検出部に、前記電荷蓄積領域に蓄積した電荷が排出された後の閾値電圧に応じた第2の信号を生成させる第8ステップを有することを特徴とする請求項12記載の固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOS型の固体撮像素子、MOS型の固体撮像素子を用いた固体撮像装置、およびMOS型の固体撮像素子の駆動方法に関する。

【0002】

【従来の技術】

近年、電子スチルカメラやビデオカメラ等の各種装置に固体撮像素子（イメージセンサ）が広く採用されている。イメージセンサには、代表的にCCD型イメージセンサとMOS型イメージセンサがあるが、今日では、それらの装置に組み込まれているイメージセンサはCCD型のイメージセンサが主流である。その理由としては、CCD型イメージセンサの方がMOS型イメージセンサと比べ、光に対する感度が高いことや、受光面上に配列された多数の受光素子について、ある同一の時刻から次の同一の時刻までの間に照射された光量に応じた信号を得ることができることなどが挙げられる。これと比べ、従来の一般的なMOS型イメージセンサは、CCD型イメージセンサと比べ、光感度が低く、また受光面上に二次元的に配列された多数の受光素子は、各ライン上に配列され受光素子ごとに電荷蓄積のタイミングがずれ、画像に歪みが生じる場合がある。

【0003】

ここで、光感度に関しては、MOS型イメージセンサに1つの提案がなされている（特許文献1参照）。光信号検出用MOSトランジスタのチャネル領域の下部に、光の照射により発生した電荷を蓄積する領域を設け、その領域に蓄積した電荷量に応じてMOSトランジスタの閾値が変化することを利用して光信号を得るというものである。この提案によると、それ以前のMOS型イメージセンサと比べ光感度が格段に向上する。

【0004】

また、MOS型イメージセンサに関し、二次元的に配列された多数の受光素子について同時に電荷蓄積を行なうことによって画像の歪みをなくす点についても提案されている（特許文献2参照）。

【0005】

【特許文献1】

特許第2935492号公報

【0006】

【特許文献2】

特開2002-134729号公報

(5)

【0007】

【発明が解決しようとする課題】

しかしながら、上記特許文献2に開示された技術は、電荷の蓄積と蓄積された電荷に応じた信号の読出しを同時に行なうことができない。すなわち、電荷の蓄積と信号の読出しとを交互に行なう必要があり、受光素子数が多くなると信号の読出しにかなりの時間がかかり、したがって静止面の撮影は行なうことができるものの、動画撮影の場合は、フィールドレート（フレームレート）を下げずに蓄積時間を確保して光感度をさらに向上させることができないという問題がある。

【0008】

本発明は、上記事情に鑑み、受光面全面について光照射による電荷の蓄積開始を同時に行なうとともに蓄積終了についても受光面全面について同時に行ない、さらに、電荷の蓄積と信号の読出しとを同時に行なうことができるMOS型イメージセンサを提供することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成する本発明の固体撮像素子は、光の照射を受けて電荷を発生する電荷発生領域を有する、所定の基板上に形成された受光部と、

電荷発生領域で発生した電荷の転送を受けて該電荷を蓄積する電荷蓄積領域を有し、蓄積した電荷量に応じた信号を生成する検出部と、

電荷発生領域と電荷蓄積領域との間に電位障壁を除去自在に形成することにより、電荷発生領域で発生した電荷の電荷蓄積領域への転送を制御する転送制御手段と、

電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を除去自在に形成することにより、電荷蓄積領域に蓄積した電荷の排出を制御する第1の排出制御手段とを備えたことを特徴とする。

【0010】

本発明の固体撮像素子は、電荷発生領域と電荷蓄積領域との間に電位障壁を除去自在に形成する転送制御手段を備えたため、その電位障壁を取り除いて、電荷発生領域で光照射により発生した電荷を電荷蓄積領域に転送し、その電位障壁を再度形成することにより、電荷発生領域に次のフィールド（フレーム）の電荷蓄積を行なわせながら、その電荷蓄積と同時に、電荷蓄積領域に蓄積された電荷に応じた信号を読み出すことができる。

【0011】

この電荷蓄積領域に転送されて蓄積された電荷は、上記第1の排出制御手段により、典型的には基板側に排出される。

【0012】

ここで、上記本発明の固体撮像素子において、上記電荷発生領域で発生した電荷の排出経路上に電位障壁を除去自在に形成することにより、その電荷発生領域で発生した電荷の排出を制御する第2の排出制御手段を備えることが好ましい。

【0013】

この第2の排出制御手段を備えると、シャッタ時間（電荷蓄積開始タイミングから電荷蓄積終了タイミングまでの時間）を自在に制御することができる。

【0014】

すなわち、上記第2の排出制御手段が電位障壁を形成することにより電荷発生領域で発生した電荷の排出を停止したタイミングから、前記転送制御手段が電位障壁を取り除くことにより電荷発生領域で発生した電荷を電荷蓄積領域に転送し、その後その電荷発生領域と電荷蓄積領域との間の電位障壁を再度形成するタイミングまでが、シャッタ時間となる。

【0015】

ここで、上記第2の排出制御手段は、電荷発生領域で発生電荷を、基板側に排出するものであってもよいが、上記第2の排出制御手段は、電荷発生領域で発生した電荷を、表面側に排出するものであることが好ましい。

【0016】

(6)

電荷発生領域で発生した電荷を基板側に抜き取ろうとすると、基板の電位が律則となって電位障壁を十分高く設定しあるいは電荷発生領域の電荷を十分に排出することが難しい場合もあり得る。

【0017】

この点、電荷発生領域で発生した電荷を表面側から排出する構造の場合、電荷発生領域で発生した電荷を、基板の電位にはとられずにその基板の電位とは別の電位を印加して排出することができ、十分な高さの電位障壁を構築するとともにその電荷発生領域で発生した電荷を十分に排出する構造を容易に作り上げることができる。

【0018】

ここで、上記本発明の固体撮像素子において、上記基板は所定の第1導電型の基板であり、電荷発生領域および電荷蓄積領域は、いずれも、その基板上に形成された第2導電型の第1ウェル領域内に形成された第1導電型の領域であって、上記受光部は、電荷発生領域を有するとともに、その電荷発生領域の表層を覆って広がる第2導電型のカソード領域を有するダイオードからなり、

上記検出部は、電荷蓄積領域を有するとともに、上記第1のウェル領域の一部が電荷蓄積領域と上記受光部との間に延在してなるトランスファゲート領域と、電荷蓄積領域内に形成された第2導電型のソース領域と、カソード領域とソース領域とを繋ぐようにトランスファ領域と電荷蓄積領域との表層に形成された第1チャネル領域と、その第1のチャネル領域の上に絶縁層を挟んで配置されたゲート電極とを備えるとともに、上記カソード領域をドレイン領域として上記ダイオードと兼用した電界効果トランジスタからなるものであってもよい。

【0019】

ここで、第1導電型はP型とN型のうち的一方であり、第2導電型はP型とN型のうちのもう一方である。

【0020】

この場合に、上記第1の電荷排出手段は、基板上の、上記第1のウェル領域の一部が延在した領域を挟んで電荷蓄積領域に対向する位置に形成された、第1導電型の第2のウェル領域を有するものであることが好ましい。

【0021】

この構造により、電荷蓄積領域に蓄積した電荷の排出が容易となる。

【0022】

また、上記ソース領域は、上記電荷蓄積領域で取り囲まれるように電荷蓄積領域の中央部に形成されたものであって、上記ゲート電極は、ソース領域を取り巻くリング状に形成されたものであってもよい。

【0023】

また、上記の具体的な構成においても、電荷発生領域で発生した電荷の排出経路上に電位障壁を除去自在に形成することにより、電荷発生領域で発生した電荷の排出を制御する第2の排出制御手段を備えることが好ましく、この場合、その第2の電荷排出手段が、電荷発生層に繋がるとともにその電荷発生層に繋がる部分以外は周囲および底部が第2導電型の領域で囲まれてなる第1導電型の電荷採取領域を有し、電荷発生領域で発生した電荷を電荷採取領域を経由して表面側から排出するものであることが好ましい。

【0024】

また、上記目的を達成する本発明の固体撮像装置は、

所定の第1導電型の基板上に形成された第2導電型の第1のウェル領域内に形成された第1導電型の、光の照射を受けて電荷を発生する電荷発生領域と、その電荷発生領域の表層を覆って広がる第2導電型のカソード領域とを有するダイオードと、

上記第1のウェル領域と同一のウェル領域内に形成された第1導電型の、電荷発生領域で発生した電荷の転送を受けてその電荷を蓄積する電荷蓄積領域と、上記第1のウェル領域が電荷蓄積領域と上記ダイオードとの間に延在してなるトランスファゲート領域と、電荷蓄積領域内に形成された第2導電型のソース領域と、カソード領域とソース領域とを繋ぐ



(7)

ようにトランスファ領域と電荷蓄積領域との表層に形成された第1チャネル領域と、その第1のチャネル領域の上に絶縁層を挟んで配置されたゲート電極とを備えるとともに、上記カソード領域をドレイン領域として上記ダイオードと兼用した、電荷蓄積領域に蓄積した電荷量に応じて変化した閾値電圧に応じた信号を生成する電界効果トランジスタと、

電荷発生領域と電荷蓄積領域との間に電位障壁を除去自在に形成することにより、電荷発生領域で発生した電荷の電荷蓄積領域への転送を制御する転送制御手段と、

電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を除去自在に形成することにより、電荷蓄積領域に蓄積した電荷の排出を制御する第1の排出制御手段と、

電荷発生領域で発生した電荷の排出経路上に電位障壁を除去自在に形成することにより、電荷発生領域で発生した電荷の排出を制御する第2の排出制御手段とを備えた固体撮像素子が二次元的に複数配備された固体撮像素子であって

上記ゲート電極が所定の第1の方向に延在してその第1の方向に並ぶ複数の固体撮像素子のゲート電極同士を繋ぎ、

上記ソース領域が上記第1の方向とは交わる第2の方向に延びる配線に接続されることによりその第2の方向に並ぶ複数の固体撮像素子のソース領域同士が接続されたものであることを特徴とする。

【0025】

ここで、上記転送制御手段は、電荷発生領域と電荷蓄積領域との間に、二次元的に配列された複数の固体撮像素子について電位障壁を同時に取り除くものであり、

上記第1の排出制御手段は、電荷蓄積領域に蓄積した電荷の排出経路上に、電位障壁を、前記第1の方向に並ぶ複数の固体撮像素子については同時に、かつ上記第2の方向に並ぶ複数の固体撮像素子については順次取り除くものであり、

上記第2の電荷排出手段は、電荷発生領域で発生した電荷の排出経路上の電位障壁を、二次元的に配列された複数の固体撮像素子について同時に形成するものであることが好ましい。

【0026】

さらに、上記目的を達成する本発明の固体撮像素子の駆動方法は、

光の照射を受けて電荷を発生する電荷発生領域を有する所定の基板上に形成された受光部と、

電荷発生領域で発生した電荷の転送を受けてその電荷を蓄積する電荷蓄積領域を有し、蓄積した電荷量に応じた信号を発生する検出部と、

電荷発生領域と電荷蓄積領域との間に電位障壁を除去自在に形成することにより、電荷発生領域で発生した電荷の電荷蓄積領域への転送を制御する転送制御手段と、

電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を除去自在に形成することにより、電荷蓄積領域に蓄積した電荷の排出を制御する第1の排出制御手段と、

電荷発生領域で発生した電荷の排出経路上に電位障壁を除去自在に形成することにより、電荷発生領域で発生した電荷の排出を制御する第2の排出制御手段とを備えた固体撮像素子の駆動方法であって、

上記第2の排出制御手段に、電荷発生領域で発生した電荷の排出経路上に電位障壁を形成させることにより、電荷発生領域で発生した電荷の電荷発生領域への蓄積を開始させる第1ステップと、

上記転送制御手段に、電荷発生領域と電荷蓄積領域との間に形成されている電位障壁を取り除かせることにより電荷発生領域で発生した電荷を電荷蓄積領域に転送させる第2ステップと、

上記転送制御手段に、電荷発生領域と電荷蓄積領域との間に電位障壁を形成することにより電荷発生領域から電荷蓄積領域への電荷の蓄積を禁止する第3ステップと、

上記検出部に、電荷蓄積領域に蓄積した電荷量に応じて変化した閾値電圧に応じた第1の信号を生成させる第4ステップと、

上記第1の排出制御手段に、電荷蓄積領域に蓄積した電荷の排出経路上に形成されている電位障壁を取り除かせることにより電荷蓄積領域に蓄積した電荷を排出させる第5ステッ

(8)

ブと、

上記第1の排出制御手段に、電荷蓄積領域に蓄積した電荷の排出経路上に電位障壁を形成させる第6ステップと、上記第3ステップの実行と同時あるいはその第3ステップを実行した後の任意のタイミングで、上記第2の排出制御手段に、電荷発生領域で発生した電荷の排出経路上の電位障壁を取り除かせる第7のステップとを有することを特徴とする。

【0027】

ここで、上記本発明の固体撮像素子の駆動方法において、上記第6ステップを実行した後、上記検出部に、電荷蓄積領域に蓄積した電荷が排出された後の閾値電圧に応じた第2の信号を生成させる第8ステップを有することが好ましい。

【0028】

【発明の実施の形態】

以下、本発明の実施形態について説明する。

【0029】

図1は、本発明の一実施形態としてのMOS型固体撮像素子の配列状態を示した平面図である。

【0030】

この図1に示すMOS型固体撮像素子10は、受光部100と検出部200とがペアとなって構成されており、この受光部100と検出部200とからなるMOS型固体撮像素子10が二次元的に多数配列されている。

【0031】

図2は、図1に示す一点鎖線A-Aに沿う、MOS型固体撮像素子1つ分の断面図、図3は、図2に示すMOS型固体撮像素子1つ分の断面のうちの、オーバーフロードレインの部分の拡大断面図である。

【0032】

このMOS型固体撮像素子10は、図2に示すように、P型の基板11上にNウェル12が形成されており、受光部100においては、そのNウェル11内に光照射を受けて電荷（ホール）を発生するP型の電荷発生領域（PD）13が形成されている。また、この電荷発生領域13の表層を覆うように、N型のカソード領域14が広がり、さらにその表層には、絶縁膜15が形成されている。カソード領域14は、検出部200に形成されたMOSトランジスタのドレイン領域を兼ねている。図2には、カソード領域14にドレインコンタクト16が接続されているように示されているが、これは解かり易さのためであり、このドレインコンタクト16は、実際は、図1に示すように、ソースコンタクト17と縦方向に交互に並ぶ位置に形成されている。この受光部100は、P型の電荷発生領域13とN型のカソード領域14とによりフォトダイオードが形成されている。

【0033】

また、この受光部100には、電荷発生領域13と繋がったP型の電荷抜取領域18が形成されている。この電荷抜取領域18は、図3に示すように、電荷発生領域13に繋がる部分以外は、その周囲がN型の素子分離領域19とN型のカソード領域14で取り囲まれるとともに、底部がN型のウェル12で覆われている。ドレイン領域14および素子分離領域19は、電荷発生領域13の回りに広く広がっており、図1に示すドレインコンタクト16の下部にも広がっている。電荷抜取領域18は、さらに、P型の領域20、ポリシリコン21およびメタル22を介してオーバーフロードレインコンタクト23に接続されている。このメタル22は、絶縁層30上に形成されており、絶縁層30に形成されたコンタクトホール30aを経由してポリシリコン21に接続されている。さらに、P型の領域20はその周囲がN型のチャネル領域34で囲まれている。電荷発生領域13で発生したプラス電荷（ホール）は、オーバーフロードレインコンタクト23に例えばVels=Low（例えば、-5.0V）の電圧が印加されると、電荷抜取領域18を経由してオーバーフロードレインコンタクト23から排出され、電荷発生領域13の電荷が空になる。一方、オーバーフロードレインコンタクト23に例えばVels=High（例えば、3.3V, 0.

(9)

0 V) の電圧が印加されると、電荷発生層 18 と電荷発生領域 13 との間に電位障壁が形成され、電荷発生領域 13 で発生した電荷は排出されずにその電荷発生領域にとどまる状態となる。ここで、オーバフロードレイン領域は、その本来の目的である電荷発生領域 13 に局所的に強い光照射が行なわれて、当該領域の光発生電荷が溢てブルーミングの発生を防止する機能を有するものであり、従って上記  $V_{els} = High$  においても上記ブルーミング成分を排出できるように設定される。

【0034】

また、検出部 200 には、図 2 に示すように、ホールポケット (HPK) 24 が形成されている。このホールポケット 24 は、N ウェル 12 上に形成された P 型の領域であり、電荷発生領域 13 で発生した電荷 (ホール) の転送を受けて蓄積する。電荷発生領域 13 とホールポケット 24 との間には、N ウェル 12 の一部が延在したトランスファ領域 12a が形成されている。また、ホールポケット 24 の中央部には、その周囲がホールポケット 24 に取り囲まれるようにして N 型のソース領域 25 が形成されており、そのソース領域 25 にはソースコンタクト 17 が接続されている。さらに、ホールポケット 24 とトランスファ領域 12a の表層には、カソード領域 14 とソース領域とを繋ぐように N 型チャネル領域 26 が形成されている。そのチャネル領域 26 の表層には絶縁膜 15 が広がり、チャネル領域 26 との間に絶縁膜 15 を挟んだ位置にポリシリコンからなるゲート 27 が形成されている。そのゲート 27 は、ゲートコンタクト 28 に接続されている。

【0035】

ホールポケット 24 には、電荷発生領域 13 から転送されてきた電荷が洩れ出さないように蓄積しておく必要があるため、このホールポケット 24 は、その底部および周囲が N 型のウェル 12 (トランスファゲート領域 12a) で取り囲まれており、ゲート 27 は、図 1 に示すように、中央にソースコンタクト 17 用の孔が空いたドーナツ状に形成されている。このゲート 27 は、図 1 の左右方向に並ぶ素子のゲート同士がポリシリコンでライン状に連結されている。また、基板 11 上の、N 型のウェル 12 の一部が延在した領域 12b を挟んでホールポケット 24 に対向する位置に、P 型のウェル領域 29 が形成されている。この P 型のウェル領域 29 は、ホールポケット 24 に蓄積された電荷 (ホール) を基板 11 側に排出するのに役立つ。検出部 200 には、このようなゲート、ドレイン (フォトダイオードのカソードと兼用)、およびソースからなる MOS トランジスタが構成されている。

【0036】

詳細は後述するが、ゲートコンタクト 28、ドレインコンタクト 16、およびソースコンタクト 17 への電圧のかけ方によって、電荷発生領域 13 とホールポケット 24 との間の電位障壁が取り除かれて、電荷発生領域 13 で発生してその電荷発生領域に溜まっていた電荷 (ホール) がホールポケット 24 に転送され、それらのコンタクト 28、16、17 への電圧のかけ方を変えることにより電荷発生領域 13 とホールポケット 24 との内に電位障壁が形成されてそれらの間での電荷 (ホール) の転送が禁止される。

【0037】

ホールポケット 24 に電荷 (ホール) が蓄積するとその蓄積量に応じてこの検出部 200 の MOS トランジスタの閾値電圧が変化し、そのソースドレイン間を流れる電流がその閾値電圧に応じて変化し、その電流に応じて変化するソース電位を検出することにより、ホールポケット 24 に蓄積した電荷量、すなわち電荷発生領域で発生した電荷量、さらに言えば電荷発生領域に照射した光の光量に応じた信号を得ることができる。

【0038】

さらに、ゲートコンタクト 28、ドレインコンタクト 16、およびソースコンタクト 17 に印加する電圧によって、ホールポケット 24 に蓄積していた電荷 (ホール) が P 型ウェル領域 29 を経由して基板 11 に排出される。

【0039】

図 1 に示す平面図において、オーバフロードレインコンタクト 23 には、二次元的に配列された多数の固体撮像素子のいずれについても同じ電圧を印加すればよく、したがってそ

(10)

れら多数の素子のオーバーフロードレインコンタクト23は全て共通の端子に接続される。またドレインコンタクト16も同様であり、二次元的に配列された多数の固体撮像素子のドレインコンタクト16が全て共通の端子に接続される。これに対し、ソースコンタクト17は、図1に縦方向に並ぶ固体撮像素子のソースコンタクトが縦に延びる配列（図示せず）によって相互に接続される。前述したように、ゲート27は、図1の横方向に延びるポリシリコンによって、横方向に並ぶ固体撮像素子のゲートが相互に接続されている。

【0040】

図4及び図5は、図1～図3に示すMOS型固体撮像素子の動作と、そのMOS型固体撮像素子への印加電圧との関係を示す図、図6は、各種動作時の電荷（ホール）の動きを示す図である。

【0041】

まず、図4に基づいて、本発明の固体撮像素子における撮影フィールド（或いはフレーム）毎の動作について説明する。本発明の固体撮像素子における電子シャッタ動作としては、代表的に図4における電子シャッタ（a）、（b）及び（c）の動作を採りうる。

【0042】

電子シャッタ（a）の動作は、固体撮像素子が毎フィールド（フレーム）毎に電荷蓄積及び電荷読出しを並行して行なわせる動作であり、図2に示すオーバーフロードレイン電圧 $V_{els}$ をHigh状態としたまま、各フィールドの垂直帰線期間内において、電荷発生領域13とホールポケット24との間の電位障壁のみをHigh状態→Low状態→High状態に制御させることによって、それまでに電荷発生領域13における光照射により発生・蓄積した電荷（ホール）をホールポケット24に転送・蓄積して映像信号の読み出しを行なう動作を示している。これを更に詳細に示せば、図4の電子シャッタ（a）において、先行するフィールド0（フレーム0）期間に電荷発生領域13で発生・蓄積された電荷が、垂直帰線期間内においてホールポケット24に転送され、その後のフィールド1（フレーム1）期間において映像信号として読出しが行なわれるとともに、電荷発生領域13に光照射により電荷（ホール）を発生・蓄積するようになっていく。このように、電荷発生領域13に次のフィールド（フレーム）の電荷蓄積を行なわせながら、その電荷蓄積と同時に、電荷蓄積領域に蓄積された電荷に応じた信号を読み出すことができる。

【0043】

電子シャッタ（b）の動作は、上記した電子シャッタ（a）の動作に加えて、図2に示す電荷発生領域13における光照射により発生・蓄積した電荷（ホール）をホールポケット24に転送・蓄積した直後から、任意のタイミングまでオーバーフロードレイン電圧 $V_{els}$ をLow状態としてそれまでに電荷発生領域13における光照射により発生・蓄積した電荷（ホール）を電荷抜取領域18に抜き取り、しかる後オーバーフロードレイン電圧 $V_{els}$ をHigh状態にしてそれ以降の電荷発生領域13における光照射により発生・蓄積した電荷（ホール）を蓄積するようにしたものである。このようにすることにより、電荷発生領域13に次のフィールド（フレーム）の電荷蓄積を行なわせながら、その電荷蓄積と同時に、電荷蓄積領域に蓄積された電荷に応じた信号を読み出すことができるとともに、任意の時間における電荷発生領域13における光照射により発生・蓄積した電荷（ホール）を蓄積することができる。

【0044】

更に、電子シャッタ（c）の動作は、上記した電子シャッタ（b）の動作に加えて、フィールド0（フレーム0）において電荷発生領域13における光照射により発生・蓄積した電荷（ホール）をホールポケット24に転送・蓄積することを省き、この電荷（ホール）の発生・蓄積を次のフィールド1（フレーム1）期間中継続して行なわせ、次の垂直帰線期間内においてホールポケット24に転送され、その後のフィールド2（フレーム2）期間内において映像信号として読出しを行なわせるようにしたものである。これにより、フィールド（フレーム）期間を越えた長時間の電子シャッタを行なわせることが可能となる。

【0045】

図4に示した電子シャッタ（a）～（c）のいずれにおいても、全てのセルにおける電荷

(11)

発生領域13における光照射により発生・蓄積した電荷（ホール）を一斉にホールポケット24に転送・蓄積することができ、更に、(b)及び(c)においては全てのセルにおける電荷発生領域13における光照射により発生・蓄積した電荷（ホール）を任意のタイミングまで電荷抜取領域18に抜き取り、しかる後全てのセルにおけるオーバーフロードレイン電圧 $V_{els}$ をHigh状態にしてそれ以降の電荷発生領域13における光照射により発生・蓄積した電荷（ホール）を蓄積するようにすることができるので、全てのセルにおける光照射時間を一致させる電子シャッタ動作が可能となる。又、電子シャッタ(a)～(c)のいずれにおいても、電荷発生領域13に次のフィールド（フレーム）の電荷蓄積を行なわせながら、その電荷蓄積と同時に、電荷蓄積領域に蓄積された電荷に応じた信号を読み出すことができる。

【0046】

図5は、図4に示す動作を更に詳細に説明するための図面である。MOS型固体撮像素子は図1に示すように二次元的に配列されており、ある1つのタイミングでは、図1の横方向に延びるライン（ゲートが接続されて横方向に並ぶライン：1水平ライン）が選択され、その水平ラインにおける縦方向に並ぶセルは順次を選択される。図4に示す選択セルは、今着目している時点において選択されているラインに接続されているセルをいい、非選択セルは、その選択されるラインとは別の水平ラインに接続されているセルをいう。

【0047】

また、図5「ゲート」、および「ドレイン」は、それぞれ図2に示すゲートコンタクト28、およびドレインコンタクト16に印加される、それぞれゲート電圧 $V_g$ 、ドレイン電圧 $V_d$ を示しており、「ソース」は、ソースコンタクト17に印加する、あるいは、ソースコンタクト17から読み出されるソース電圧 $V_s$ を示しており、さらに「シャッタ」は、オーバーフロードレインコンタクト23部に印加されるオーバーフロードレイン電圧 $V_{els}$ を示している。

【0048】

図2に示す電荷発生領域13で発生し、該領域13に蓄積された電荷（ホール）をホールポケット24に転送するには、図5の左端に示すように、選択セル、非選択セルのいずれについても、ゲート電圧 $V_g = 0.0V$ 、ドレイン電圧 $V_d = 6.0V$ 、ソース電圧 $V_s = 1.2V$ が印加される。オーバーフロードレイン電圧 $V_{els}$ は、シャッタ(a)およびシャッタ(b)（これらは、図4における電子シャッタ(a)および(b)に対応している。）とともに、電荷発生領域13で発生した電荷が（ブルーミングとして作用する過剰電荷を除いて）電荷抜取領域18側から洩れるのが防止されるよう、 $V_{els} = 3.3V$ に保たれている。

【0049】

上記のように、ゲート電圧 $V_g = 0.0V$ 、ドレイン電圧 $V_d = 6.0V$ 、ソース電圧 $V_s = 1.2V$ （図6に示す $V_g = Low$ の状態）が印加されると電荷発生領域13とホールポケット24との間の電位障壁が取り除かれて、図6に実線の矢印で示すように、電荷発生領域13における光照射により発生した電荷（ホール）がホールポケット24に転送される。この転送の動作は、選択セルと非選択セルとで区別なく、二次元的に配列された全てのセルについて一斉に同時に行なわれる。図2においては、図示を省略しているが、セルは電荷発生領域13部分を除いて表面にアルミニウム等の金属層が積層され、遮光されているので、ホールポケット24に転送された電荷はこれ以上の光照射を受けることがなく、転送電荷が保存される。

【0050】

上記の電荷発生領域13における光照射により発生した電荷（ホール）のホールポケット24への転送が終わると、代表的には選択セルおよび非選択セルにおけるゲート電圧が共に、 $V_g = Middle$ （選択セルにおいては $V_g = 3.3V$ 、非選択セルにおいては $V_g = 2.0V$ ）以上の設定がなされ（図6参照）、これ以降、次のフィールド（フレーム）における転送期間に至るまで、 $V_g = Low$ （ $0.0V$ ）に設定されることはない、従って全てのセルの読み出し期間中、選択セルおよび非選択セル共に、新たに電荷発生領域

(12)

13における光照射により発生した電荷（ホール）のホールポケット24への転送が行なわれることはない。

【0051】

次に、各セルのホールポケットに蓄積した電荷（ホール）の量に応じた信号の読み取りが行なわれる。最初に第1の読出しライン（第1水平ライン）に接続されたセルの読出しが行なわれ、次に第2の読出しライン（第2水平ライン）に接続されたセルの読出しが行なわれ、順に最終の読出しライン（最終水平ライン）に接続されたセルの読出しが行なわれて、図4に示す1つのフィールド（フレーム）の読出しが完了する。（図5においては、読出しライン1、2およびnが例示されている。）読出しは、各ラインごとに2回行なわれ、ここではそれら2回の読出しを読出し（S）と読出し（N）として区別している。読出し（S）は、ホールポケット24に電荷（ホール）が蓄積されているときの読出しであり、読出し（N）は、ホールポケット24の電荷（ホール）を排出した後のノイズ成分（バックグラウンド成分）の読出しである。

【0052】

読出し（S）では、選択セル、非選択セル共に、ドレイン電圧 $V_d = 3.3$  Vが印加されるが、ゲート電圧に関しては選択セルについてはゲート電圧 $V_g = 3.3$  V、非選択セルについては $V_g = 2.0$  Vが印加される。ゲート電圧 $V_g = 2.0$  Vが印加された非選択セルについてはオフ状態（非導通状態）にとどまり、ゲート電圧 $V_g = 3.3$  Vが印加された選択セルについては、その選択セルのホールポケットに蓄積された電荷（ホール）の量に応じて変化した閾値電圧に応じた電圧がソースにあらわれる。図5に示す例では、読出しライン1に接続されたセルのうちの1つのセルにソース電圧として $V_s = 2.8$  Vが検出されたことが示されている。

【0053】

次に「クリア」が行なわれる。この「クリア」は選択セルのホールポケットに蓄積している電荷（ホール）の排出である。このときには非選択セルに関しては、そのホールポケットに蓄積している電荷（ホール）は排出されずにそのままそのホールポケットに、蓄積され続けている必要がある。この「クリア」では、これを達成するために一例では、選択セルのゲート電圧 $V_g$ を一旦 $2.0$  Vとした後ハイインピーダンス状態とし、ドレインもハイインピーダンス状態としてソース電圧 $V_s = 6.0$  Vとする。こうすると、選択セルのゲート電圧 $V_g = 8.0$  V、ドレイン電圧 $V_d = 6.0$  V（図5に示す $V_g = High$ の状態）となり、その選択セルのホールポケット24に蓄積していた電荷（ホール）は図2に示すP型ウェル領域29を経由して基板11側に排出される。これに対し、非選択セルに関しては、ゲートはハイインピーダンス状態にはされずにゲート電圧 $V_g = 2.0$  Vが引加されたままの状態に保たれる（図5に示す $V_g = Middle = 2.0$  Vの状態となる）。こうすることにより、非選択セルについては、その非選択セルのホールポケットに蓄積されていた電荷は排出されずにそのホールポケットにとどまることになる。

【0054】

この「クリア」の後、「クリア」前の「読出し（S）」と同様にして今度は「読出し（N）」が行なわれる。図5に示すように、前記「読出し（S）」と同様に、ゲート電圧 $V_g = 3.3$  Vが印加された選択セルについては、その選択セルの「クリア」されたホールポケット状態における閾値電圧に応じた電圧がソースにあらわれる。図5に示す例では、上記「読出し（S）」が出力されたセルにソース電圧として $V_s = 2.0$  Vが検出されたことが示されている。図示を省略しているが、本発明における読み出し回路においては、上記の「読出し（S）」におけるソース電圧（ $V_s = 2.8$  V）と、「読出し（N）」におけるソース電圧（ $V_s = 2.0$  V）の差分 $0.8$  Vが映像信号成分として出力されることとなる。

【0055】

以上の「読出し（S）」、「クリア」および「読出し（N）」は水平帰線期間内に行なわれ、その後「水平走査」が行なわれる。

【0056】

(13)

この「水平走査」は、今回選択された選択セルに関し読み出した信号を順次に送り出す走査を言う。この「水平走査」が終了すると、今回選択されたラインの次のラインが選択されて、その新たに選択されたラインに並ぶ選択セルについて前記と同様の読出しが行なわれる。このようにして全てのラインについて読出しが終了すると、図4に示す1つのフィールド（フレーム）の読出しが完了し、次のフィールド（フレーム）読出しのための「転送」が行なわれることとなる。（図4の「電子シャッタ（a）」および「電子シャッタ（b）」参照。）

ここで、図5の「シャッタ（a）」および「シャッタ（b）」に注目されたい。上述のように、これらは図4の「電子シャッタ（a）」および「電子シャッタ（b）」に各々対応している。図5の「シャッタ（a）」においては転送終了後の読出しライン1の水平消去期間（「読出し（S）」、「クリア」および「読出し（N）」期間）中、オーバーフロードレイン電圧 $V_{els}$ が3.3Vが維持されており、これは、電荷発生領域13で発生しそこに蓄積された電荷（ホール）をホールポケット24に転送した直後から、電荷発生領域13では次のフィールド（フレーム）のための電荷発生・蓄積が開始されていることを意味する。これは、通常のカメラでいうところのシャッタが開いた状態に相当する。

【0057】

尚、「読出しライン1」において、大半の時間を占める「水平走査」期間中は、オーバーフロードレイン電圧 $V_{els}$ が0.0Vに変更されているが、この理由は、「水平走査」期間中はドレイン電圧 $V_d$ が1.2Vに変更されているため $V_{els}$ が3.3Vに保つことができないことおよび $V_d$ が1.2Vに変更されていることから $V_{els}$ が0.0Vに変更しても、電荷発生領域13で発生した電荷の排出が防止されるからである。図5の「シャッタ（a）」においては、以下同様にして最終読出しラインに至るまで、オーバーフロードレインから電荷の排出を行なうことなく電荷発生領域13では次のフィールド（フレーム）のための電荷発生・蓄積が行なわれて、図4の「電子シャッタ（a）」の動作が行なわれる。

【0058】

これに対して、図5の「シャッタ（b）」においては、転送終了時にオーバーフロードレイン電圧 $V_{els}$ が3.3Vから $V_{els} = -5.0$ Vに変化している。これは、そのタイミング以降、電荷発生領域13で発生した電荷をオーバーフロードレインコンタクト23から排出することを意味している。これは図6における $V_{els} = \text{Low}$ の状態に相当し、電荷発生領域で発生した電荷（ホール）を一点鎖線の矢印で示すように排出する工程を意味し、通常のカメラでいうところの、シャッタが閉じた状態に相当する。このようにして、任意の「読出しラインn」の直前まで、電荷発生領域13で発生した電荷をオーバーフロードレインコンタクト23から排出することが繰り返される。一方、「読出しラインn」以降、次のフィールド（フレーム）の「転送」に至る最終ラインまで、前記した「シャッタ（a）」の動作、即ち水平消去期間中、オーバーフロードレイン電圧 $V_{els}$ が3.3Vに変更され、「水平走査」期間中は、オーバーフロードレイン電圧 $V_{els}$ が0.0Vに変更されるが、これは、「読出しラインn」以降、最終読出しラインに至るまで、オーバーフロードレインから電荷の排出を行なうことなく電荷発生領域13では次のフィールド（フレーム）のための電荷発生・蓄積が行なわれて、図4の「電子シャッタ（b）」の動作が行なわれる。このようにして、図4の「電子シャッタ（b）」に示すように、全セルに亘って同時の露光時間の1フィールド（1フレーム）期間より短い時間シャッタを実現できる。尚、「読出しラインn」のタイミングは任意に設定することが可能であるので、任意の露光時間を実現することができる。

【0059】

更に、図4の「電子シャッタ（c）」によれば、フィールド0（フレーム0）と、フィールド1（フレーム1）間における、図5左端に示す「転送」工程を省略して、「電子シャッタ（b）」の呼応低を行なうことにより、1フィールド（1フレーム）期間より長い任意の露光時間を実現することも可能である。勿論、「電子シャッタ（c）」において、フィールド2（フレーム2）に記載の $V_{els} = \text{Low}$ 期間を $V_{els} = \text{High}$ 状態に変

(14)

更すれば、フィールド（フレーム）期間の整数倍の露光時間に固定された長時間シャッタ機能を実現することが可能となる。

【0060】

図7は、固体撮像素子のオーバフロードレインの別の例を示す図である。

【0061】

図2、図3の場合、オーバフロードレインコンタクト23が接続されたメタル22は、ポリシリコン21を介してP型の領域20に接続されているが、図7の場合、ポリシリコン21にコンタクトホール21aが形成され、メタル22がP型領域20に直接に接続されている。

【0062】

図8は、固体撮像素子のオーバフロードレインのさらに別の例を示す図である。

【0063】

図2、図3に示すオーバフロードレインおよび図7に示すオーバフロードレインの場合、Pマイナス（P<sup>-</sup>）の電荷抜取領域18の表層部分にPプラス（P<sup>+</sup>）の領域が埋め込まれ、電荷発生領域13で発生した電荷（ホール）は電荷抜取領域18を経由し、さらにPプラスの領域20を経由して排出されるが、図8に示すオーバフロードレインでは、図2、図3および図7のPマイナス（P<sup>-</sup>）の領域18が省かれ、Pプラス（P<sup>+</sup>）の領域20が本発明にいう電荷抜取領域となっている。このPプラス（P<sup>+</sup>）の領域20が電荷発生領域13に繋がるとともに、その周辺および底部は、電荷発生領域13に繋がる部分以外N型の領域で取り囲まれている。また、この図7に示す構造の場合、図2および図3、あるいは図7に示すポリシリコン21は省かれるとともに、P型の領域20は、図7と同様にメタル領域22に直接に接続されている。

【0064】

このように、電荷を表面側に抜き取るためのオーバフロードレインは様々な構造のものが考えられる。

【0065】

尚、これまで説明してきた実施形態は、オーバフロードレインを有する固体撮像素子に関するものであるが、シャッタ速度が一定でよいときは、オーバフロードレインの構造（本発明にいう第2の電荷排出手段）は不用である。また、オーバフロードレインに関しては、電荷発生領域の電荷（ホール）を表面側に排出する構造について説明したが、電荷発生領域の電荷を基板側に排出する構造のものであってもよい。

【0066】

さらに、上述の実施形態では、本発明にいう第1導電型、第2導電型としてそれぞれP型、N型を選んだときの構造について説明したが、本発明は、本発明にいう第1導電型、第2導電型としてそれぞれN型、P型を選んだ構造のものであってもよい。

【0067】

【発明の効果】

以上、説明したように、本発明によれば受光面全面について光照射による電荷の蓄積開始を同時に行なうとともに蓄積終了についても受光面全面について同時に行ない、さらに、電荷の蓄積と信号の読出しとを同時に行なうことができる。

【図面の簡単な説明】

【図1】本発明の一実施形態としてのMOS型固体撮像素子の配列状態を示した平面図である。

【図2】図1に一点鎖線A-Aに沿う、MOS固体撮像素子1つ分の断面図である。

【図3】図2に示すMOS固体撮像素子1つ分の断面のうちの、オーバフロードレインの部分の拡大断面図である。

【図4】図1～図3に示すMOS固体撮像素子の動作と、そのMOS固体撮像素子への印加電圧との関係を示す図である。

【図5】図4の詳細を示す図である。

【図6】各種動作時の電荷（ホール）の動きを示す図である。



(15)

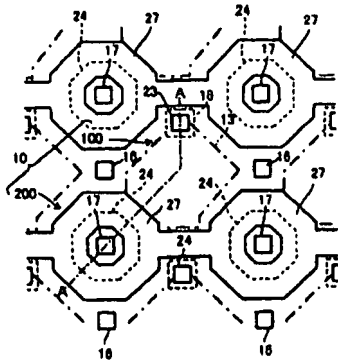
【図7】固体撮像素子のオーバーフロードレインの別の例を示す図である。

【図8】固体撮像素子のオーバーフロードレインのさらに別の例を示す図である。

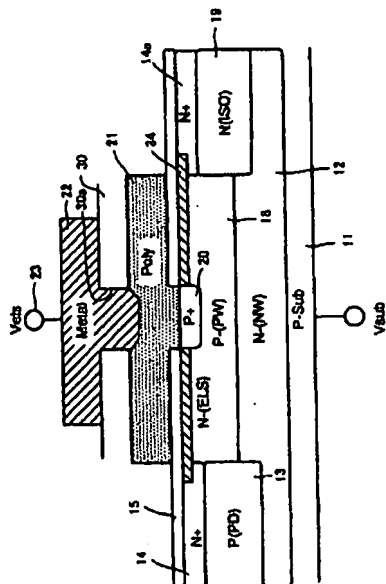
【符号の説明】

- 10 MOS型固体撮像素子
- 11 基板
- 12 Nウェル
- 12a トランスファ領域
- 13 電荷発生領域
- 14 カソード領域
- 15 絶縁膜
- 16 ドレインコンタクト
- 17 ソースコンタクト
- 18 電荷抜取領域
- 19 素子分離領域
- 20 P型の領域
- 21 ポリシリコン
- 22 メタル
- 23 オーバフロードレインコンタクト
- 24 ホールポケット
- 25 ソース領域
- 26 チャネル領域
- 27 ゲート
- 28 ゲートコンタクト
- 29 ウェル領域
- 30 絶縁層
- 100 受光部
- 200 検出部

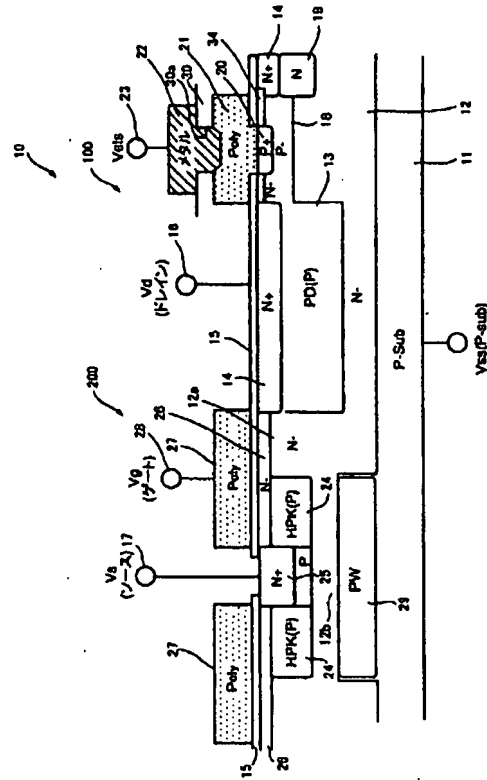
【图 1】



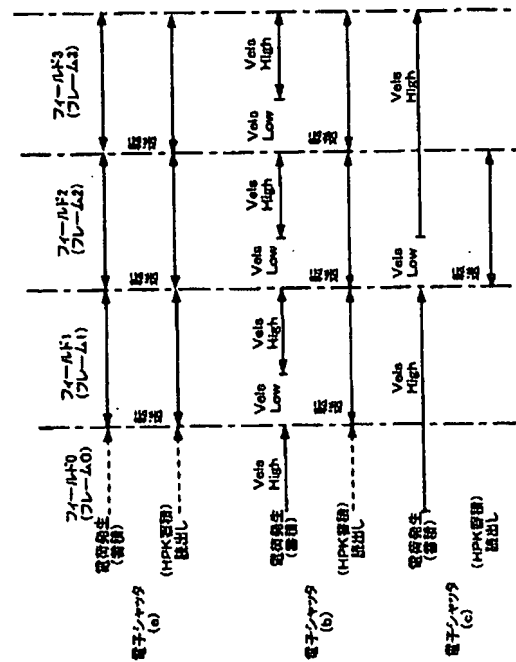
【図 3】



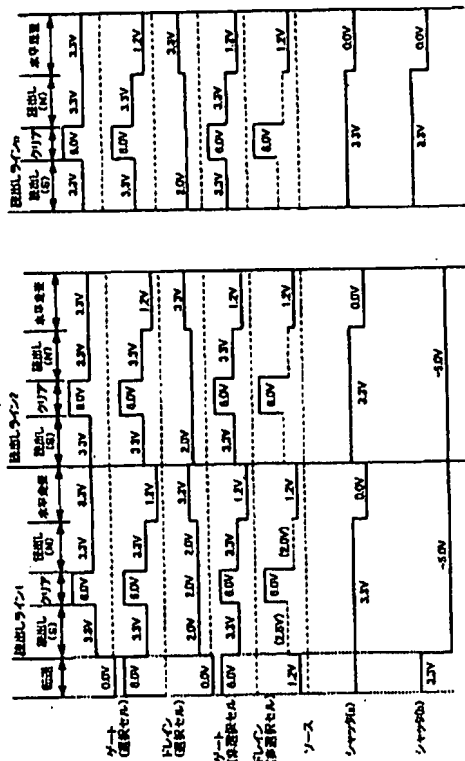
【図 2】



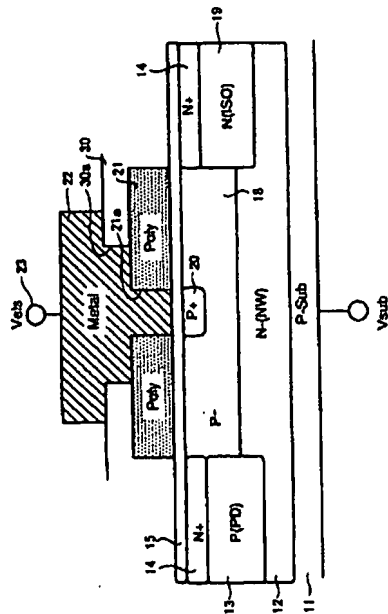
【図4】



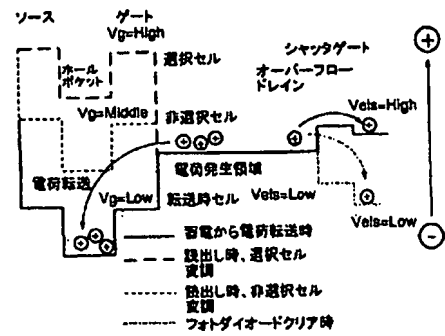
【图 5】



【图7】



【図6】



【图8】

